

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-026750

(43)Date of publication of application : 27.01.1998

(51)Int.Cl.

G02F 1/133
G02F 1/1345
G02F 1/136

(21)Application number : 08-234067

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 04.09.1996

(72)Inventor : NAKANO YASUSHI
HIROSHIMA MINORU
ISODA TAKASHI
SATO TSUTOMU
NAKAHARA YOSHIHIKO
TANAKA TAKESHI
ABU KOICHI

(30)Priority

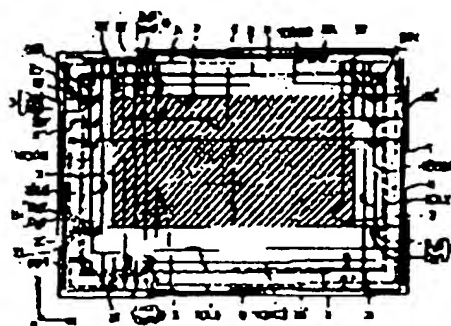
Priority number : 08112218 Priority date : 07.05.1996 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To perform the inspecting for disconnection and short circuit of a signal line and also to sufficiently perform the static electricity preventing countermeasure of a thin film transistor.

SOLUTION: A first common line which is existing along the (y) direction and is to be connected to respective gate signal lines 2 via nonlinear resistance elements D and a second common line which is existing along the (x) direction and is to be connected to respective even-number-th drain signal lines 3 via nonlinear resistance element D and a third common line which is existing along the (x) direction and is to be connected to respective odd-number-th drain signal line via nonlinear resistance elements D are formed on the periphery of a display area formed of a set of pixel areas being on the surface of the liquid crystal side of the transparent substrate of one side. Then, these respective first, second and third common lines are constituted by being electrically separated from each other and respective second and third common lines are electrically connected with the electrically conductive bodies.



LEGAL STATUS

[Date of request for examination] 12.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-26750

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
1/1345			1/1345	
1/136	5 0 0		1/136	5 0 0

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平8-234087

(22) 出願日 平成8年(1996) 9月4日

(31) 優先権主張番号 特願平8-112218

(32) 優先日 平8(1996) 5月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 中野 泰

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 廣島 寛

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

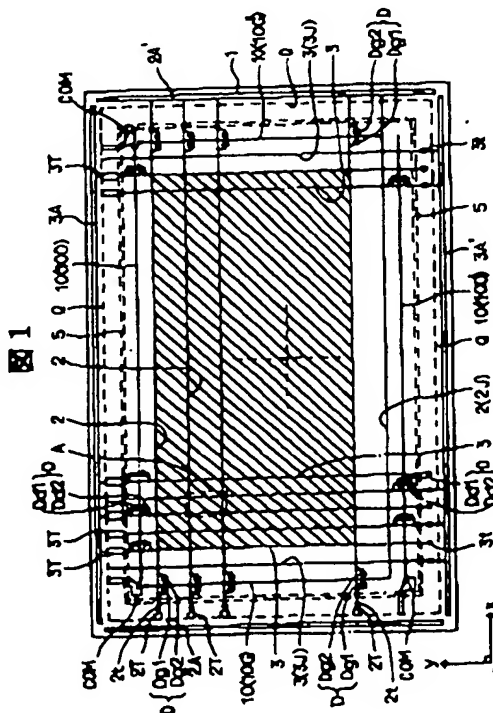
最終頁に続く

(54) 【発明の名称】 液晶表示パネル

(57) 【要約】 (修正有)

【課題】 信号線の断線あるいはショートを検査および薄膜トランジスタの静電防止対策をも充分に行い得る。

【解決手段】 一方の透明基板の液晶側の面の画素領域の集合で形成される表示領域の外周に、y方向に延在しかつ非線形抵抗素子Dを介して各ゲート信号線2に接続される第1の共通線と、x方向に延在しかつ非線形抵抗素子を介して偶数番目の各ドレイン信号線3に接続される第2の共通線と、x方向に延在しかつ非線形抵抗素子Dを介して奇数番目の各ドレイン信号線3に接続される第3の共通線とが形成され、これら第1、第2、および第3の各共通線は互いに電気的に分離されて構成されるとともに、前記第2および第3の各共通線は前記導電体を介して電気的に接続されている。



(2)

特開平10-26750

【特許請求の範囲】

【請求項1】 液晶を介して互いに対向配置される一対の透明基板のうちの一方の透明基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこのゲート信号線に絶縁されy方向に延在しx方向に並設されるドレイン信号線とが形成され、これら信号線で囲まれる各画素領域に、ゲート信号線からの走査信号の供給によってオンされる薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを備え、他方の透明基板の液晶側の面に、各画素領域に共通な共通電極が形成され、この共通電極は該一方の透明基板との間に介在される導電体を介して該一方の透明基板側へ引き出される液晶表示パネルにおいて、

前記一方の透明基板の液晶側の面の画素領域の集合で形成される表示領域の外周に、y方向に延在しかつ非線形抵抗素子を介して各ゲート信号線に接続される第1の共通線と、x方向に延在しかつ非線形抵抗素子を介して偶数番目の各ドレイン信号線に接続される第2の共通線と、x方向に延在しかつ非線形抵抗素子を介して奇数番目の各ドレイン信号線に接続される第3の共通線とが形成され、これら第1、第2、および第3の各共通線は互いに電気的に分離されて構成されているとともに、前記第2および第3の各共通線は前記導電体を介して電気的に接続されていることを特徴とする液晶表示パネル。

【請求項2】 各ゲート信号線に非線形抵抗素子を介して接続される第1の共通線は表示領域を間にして2個設けられ、これら各第1の共通線は実際の画素の駆動に用いられていないゲート信号線を介して互いに接続されていることを特徴とする請求項1記載の液晶表示パネル。

【請求項3】 各ゲート信号線に非線形抵抗素子を介して接続される第1の共通線は、液晶を介して対向配置される他の透明基板の液晶側の面に形成された共通電極と接続されていない構成となっていることを特徴とする請求項1記載の液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示パネルに係り、特に、いわゆるアクティブ・マトリックス型と称される液晶表示パネルに関する。

【0002】

【従来の技術】 アクティブ・マトリックス型の液晶表示パネルは、液晶を介して互いに対向配置される一対の透明基板のうちの一方の透明基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこのゲート信号線に絶縁されy方向に延在しx方向に並設されるドレイン信号線とが形成され、これら信号線で囲まれる各画素領域に、ゲート信号線からの走査信号の供給によってオンされる薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの映像信号が

供給される画素電極とを備えて構成されている。

【0003】 そして、これら各ゲート信号線およびドレイン信号線はいわゆるフォトリソグラフィ技術を用いた微細加工によって形成されるものであることから、液晶表示パネルの製造過程において、これら各信号線が断線して形成されているか否か、あるいは各信号線との間にショートが発生していないか否か等が検査されるのが通常である。

【0004】 この場合、この検査を効率的に行うために、後に切離される透明基板面に各ゲート信号線の一側側を共通に接続した短絡線および各ドレイン信号線の一側側を共通に接続した短絡線を形成しているようにしている。

【0005】 このようにした場合、ゲート信号線の一側の短絡線に一方の検査用プローブをあてがい各ゲート信号線他端側の検査用端子に他方の検査用プローブをあてがうことにより、各ゲート信号線が断線しているか否かが検出できるようになる。ドレイン信号線に対しても同様の操作によってそれらが断線しているか否かが検出できるようになる。また、ゲート信号線の短絡線に一方の検査用プローブをあてがいドレイン信号線の短絡線に他方の検査用のプローブをあてがってそれらの間の電気抵抗を計測することによりゲート信号線とドレイン信号線とのショートが生じているか否かを検査できるようになる（以下、このように構成された回路を断線およびショート検査回路と称する場合がある）。

【0006】 一方、薄膜トランジスタは、ゲート信号線の一部の領域をゲート電極とし、ドレイン信号線を延在させた部分をドレイン電極とするMIS型トランジスタとして形成されているため、そのしきい値電圧の変動あるいは破壊を防止する目的で該信号線に集中的な静電気が帯電してしまうのを防止する対策もなされている（たとえば、特開平5-27263号公報参照）。

【0007】 すなわち、液晶が封入される領域であってかつ前記画素領域の集合で形成される表示領域の外周に、全てのゲート信号線およびドレイン信号線のそれぞれに非線形抵抗素子を介して接続される静電保護用の共通線を形成する構成とし、この共通線によって、一部に生じた静電気を各信号線の全部に分散させるようにしている（以下、このように構成した回路を静電保護用回路と称する場合がある）。

【0008】

【発明が解決しようとする課題】 しかしながら、上述した断線およびショートの検査回路が備えられている液晶表示パネルにおいて、前記静電保護用回路をそのまま導入させた場合に、ゲート信号線とドレイン信号線のそれぞれが非線形抵抗素子を介した共通線によって互いに接続されてしまうことから、それらの信号線の断線あるいはショートを判定できなくなってしまうという弊害が指摘されるに至った。

(3)

特開平10-26750

【0009】本発明は、このような事情に基づいてなされたものであり、その目的は、信号線の断線あるいはショートを検査および薄膜トランジスタの静電防止対策をいづれも充分に行い得る液晶表示パネルを提供することにある。

【0010】

【課題を解決するための手段】このような目的を達成するために本発明は、基本的には、液晶を介して互いに対向配置される一対の透明基板のうちの一方の透明基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこのゲート信号線に絶縁されy方向に延在しx方向に並設されるドレイン信号線とが形成され、これら信号線で囲まれる各画素領域に、ゲート信号線からの走査信号の供給によってオンされる薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを備え、他方の透明基板の液晶側の面に、各画素領域に共通な共通電極が形成され、この共通電極は該一方の透明基板との間に介在される導電体を介して該一方の透明基板側へ引き出される液晶表示パネルにおいて、前記一方の透明基板の液晶側の面の画素領域の集合で形成される表示領域の外周に、y方向に延在しかつ非線形抵抗素子を介して各ゲート信号線に接続される第1の共通線と、x方向に延在しかつ非線形抵抗素子を介して偶数番目の各ドレイン信号線に接続される第2の共通線と、x方向に延在しかつ非線形抵抗素子を介して奇数番目の各ドレイン信号線に接続される第3の共通線とが形成され、これら第1、第2、および第3の各共通線は互いに電気的に分離されて構成されているとともに、前記第2および第3の各共通線は前記導電体を介して電気的に接続されていることを特徴とするものである。

【0011】このように構成された液晶表示パネルにおいて、たとえばゲート信号線とドレイン信号線との間にショートが生じているか否かを検査する場合、上述したようにゲート信号線の短絡線に一方のプロブをあてがいドレイン信号線の短絡線に他方のプロブをあてがってそれらの間の電気抵抗を計測するのが通常となる。

【0012】この場合、従来の構成にみられるようにその静電保護用回路における共通線において、ゲート信号線と非線形抵抗素子を介して接続されている共通線と、ドレイン信号線と非線形抵抗素子を介して接続されている共通線とが、互いに接続されている構成となっている場合、ゲート信号線の短絡線から非線形抵抗素子を介して前記共通線へ、さらに非線形抵抗素子を介してドレイン信号線の短絡線へと電流が流れてしまうことから、上述した検査ができないことになる。

【0013】このため、本発明は、基本的には、ゲート信号線に非線形抵抗素子を介して共通接続される共通線とドレイン信号線に非線形抵抗素子を介して共通接続される共通線とを電気的に絶縁するようにすることによつ

て、上述した弊害を除去できるようになる。

【0014】また、ゲート信号線あるいはドレイン信号線のそれぞれの断線の検査等の他の全ての検査においても従来どおりに行うことができ、それらのいずれにおいても静電保護用の共通線に全く影響されることなく信頼性ある検査を実行することができるようになる。

【0015】また、非線形抵抗素子および共通線からなる静電保護用回路においても、各信号線の断線あるいはショートを検出回路によって、その構成が制約されることがないことから、充分な静電保護対策ができるようになる。

【0016】したがって、本発明の構成によれば、各信号線の断線あるいはショートを検査および薄膜トランジスタの静電防止対策をも充分に行なうことができるようになる。

【0017】

【発明の実施の形態】図1は本発明による液晶表示パネルの外圍器を構成する一方のガラス基板の液晶側の面の構成を示す平面図である。そして、このガラス基板は各信号線の断線あるいはショートを検査できる状態にあるものとなっている。

【0018】同図において、まず、実際に液晶表示パネルを構成するガラス基板の大きさよりも若干大きめに形成されたガラス基板1がある。すなわち、このガラス基板1は後の工程で図中点線Qの個所において切断されその周辺が分離されるようになっている。

【0019】このようなガラス基板1の液晶側の面には、図中x方向に延在しかつy方向に並設されたゲート信号線2が形成され、これら各ゲート信号線2と絶縁されてy方向に延在しかつx方向に並設されたドレイン信号線3が形成されている。

【0020】ゲート信号線2とドレイン信号線3とで囲まれる矩形の領域（たとえば図中点線Aで囲まれた領域）はそれぞれ画素領域となり、この領域には、その詳細を図2に示すように、ゲート信号線2からのゲート信号によってオンする薄膜トランジスタTFTと、このオンされた薄膜トランジスタTFTを介してドレイン信号線3からのドレイン信号が供給される透明な画素電極ITOを備えている。また、該薄膜トランジスタTFTがオフした際に画素電極ITOにドレイン信号が長く蓄積させるために付加容量Caddも備えられている。

【0021】これにより、ゲート信号が印加されたゲート信号線2のライン上の画素領域において、各ドレイン信号線3からのドレイン信号（画素信号）が画素電極ITOに供給され、図示しない他方のガラス基板の液晶側に形成された透明な共通電極との間に電位差を生じせしめ該液晶の光透過率を変動させるようになっている。

【0022】ゲート信号線2の図1における右側の端部は、後の工程で分離される部分のガラス基板上にまで延在され、該部分に形成されている検査用の短絡線2

(4)

特開平10-26750

5

A'に共通接続されて形成されている。また、各ゲート信号線2は、分離後の実際のガラス基板1となる一端側(図中左側)の辺部において、比較的幅が広く形成されて外部端子2T並びに、検査用端子2tが形成されている。

【0023】また、それぞれのドレイン信号線3において、図中左側から数えて偶数番目に相当するものは図中上側の後の工程で分離される部分のガラス基板面上にまで延在され、該部分に形成されている検査用の共通線3Aに共通接続され、図中右側から数えて奇数番目に相当するものが図中下側の後の工程で分離される部分のガラス基板面上にまで延在され、該部分に形成されている検査用の共通線3A'に共通接続されている。

【0024】この場合、各ドレイン信号線3は、分離後の実際のガラス基板1となる一端側(図中上側)の辺部において比較的幅が広く形成されて外部端子3Tを構成するようになっている。さらに、ドレイン信号線3の他端側(図中下側)には単独の検査用の端子3tが形成されている。

【0025】さらに、前記ガラス基板1の面には、液晶が封入される領域であってこの領域を囲むようにして形成されるシール材5と前記画素領域の集合で形成される表示領域との間に、いわゆる静電保護用の共通線10が形成されている。

【0026】この静電保護用の共通線10は、各ゲート信号線3と絶縁されて直交する方向に延在され、かつ該ゲート信号線3と非線形抵抗素子Dを介して接続される共通線10G、10G'と、各ドレイン信号線2と絶縁されて直交する方向に延在され、かつ該ドレイン信号線と非線形抵抗素子Dを介して接続される共通線10D、10D'とから構成されている。

【0027】この場合、共通線10G、10G'は、ゲート信号線3の両端側(図中左右の各側)のそれぞれに形成され、それらは互いに電気的に絶縁されてもよいが、この実施例では、図中最下段に形成されているゲート信号線2(2J)を介して互いに接続されている。この効果については後に説明する。

【0028】また、共通線10D、10D'は、ドレイン信号線3の両端側(図中上下の各側)のそれぞれに形成され、それらはガラス基板1面上の構成のみに限って、また場合に互いに電気的に絶縁された構成となっている。このように構成した理由は、各信号線の断線およびショートを検査の際にこれら共通線10Dが互いに接続されていると該検査ができなくなるからである。

【0029】そして、前記非線形抵抗素子Dは、拡大図である図3に示すように、ゲート信号線2のそれぞれにおいて、図中左側の外部端子2T側のゲート信号線2と共通線10Gとの間に接続された非線形抵抗素子Dg1と、該共通線10Gと表示領域側のゲート信号線2との間に接続された非線形抵抗素子Dg2とから構成されて

6

いる。同様に、図1における右側の検査端子2t側のゲート信号線2と共通線10G'との間に接続された非線形抵抗素子Dg2と、該共通線10G'と表示領域側のゲート信号線2との間に接続された非線形抵抗素子Dg2とから構成されている。

【0030】また、ドレイン信号線3のそれぞれにおいて、そのうちの図中左側から数えて偶数番目のドレイン信号線3(図中上側の短絡線3Aに接続されているドレイン信号線3)には、図3に示すように、図中上側の外部端子3T側のドレイン信号線3と共通線10Dとの間に接続された非線形抵抗素子Dd1と、該共通線10Dと表示領域側のドレイン信号線3との間に接続された非線形抵抗素子Dd2とから構成されている。

【0031】また、図中左側から数えて奇数番目のドレイン信号線3(図中下側の短絡線3A'に接続されているドレイン信号線3)には、図1に示すように、図中下側の検査用端子3t側のドレイン信号線3と共通線10D'との間に接続された非線形抵抗素子Dd1と、該共通線10D'と表示領域側のドレイン信号線3との間に接続された非線形抵抗素子Dd2とから構成されている。

【0032】なお、これら各非線形抵抗素子は、たとえば、表示領域内の薄膜トランジスタTFTとはほぼ同じ工程で形成されるMIS型トランジスタであって、そのゲート電極とドレイン電極とが接続された状態で形成されるものとなっている。しかし、これに限定されることはなく、同様の機能を有する素子ならばなんでもよいことはいふまでもない。

【0033】上述した構成から明らかとなるように、y方向に延在しかつ非線形抵抗素子Dを介して各ゲート信号線2に接続される共通線10と、x方向に延在しかつ非線形抵抗素子Dを介して偶数番目の各ドレイン信号線に接続される共通線10Dと、x方向に延在しかつ非線形抵抗素子Dを介して奇数番目の各ドレイン信号線に接続される共通線10D'とは互いに電気的に絶縁された構成となっていることが判る。

【0034】さらに、この実施例では、特に、図中左側および右側の共通線10G、10G'のそれぞれは、図中下側の端のゲート信号線2Jに接続されている。このゲート信号線2Jはいわゆるダミー信号線と称されるもので、実際の画素の駆動にあって用いられない信号線となっている。すなわち、表示に対して無用の該ゲート信号線2(2J)を有効に利用することによって、共通線10G、10G'の配線長を増加せしめることによって帯電する静電気の分散を効果ならしめるように図っている。

【0035】同様に、図中上側の共通線10Dは、図中右側の端のドレイン信号線3Jに接続され、また、図中下側の共通線10D'は、図中左側の端のドレイン信号線3Jに接続されている。これら各ドレイン信号線もい

(5)

特開平10-26750

7

いわゆるダミー信号線と称されるもので、実際の使用にあつて用いられない信号線となっている。同様に静電気の分散を効果ならしめるためである。

【0036】このようなゲート信号線およびドレイン信号線における各ダミー信号線は、各画素領域における回路が図2に示すようになる関係から、回路としては必要となるが表示には直接寄与しないという性質を備えるものとなっている。このため、上述した表示領域において実行的な表示領域は図中斜線で示した部分となる。

【0037】なお、このように各共通線10G、10G'、10D、10D'をそれぞれダミー線に接続させるようにしても、共通線10Gおよび10G'、共通線10D、共通線10D'のそれぞれは互いに接続されることはなく、電気的に独立したものとなっている。

【0038】さらに、この実施例では、共通線10D、10D'のそれぞれの一端が、電極COMに接続されて構成され、他方のガラス基板を組み立てた際に、該他方のガラス基板の液晶側の面に形成された透明な共通電極と接続されるようになっているが、共通線10G、10G'は該共通電極に接続されないように構成されたものとなっている。

【0039】この理由は、図中に示す液晶表示パネルは、図中左側に走査駆動回路が設けられ、図中上側に映像駆動回路が設けられる構成となっており、駆動時における駆動負荷が大きくなってしまふのを解決するためである。

【0040】このように構成されたガラス基板1は、たとえば次の態形で検査がなされるようになっている。

【0041】(1) ゲート信号線2とドレイン信号線3との間のショート検査

ゲート信号線2側の短絡線2A'とドレイン信号線3側の短絡線3A及び3A'との間に検査用プローブを当接し、短絡線2A'と短絡線3A、3A'の間に流れる電流を測定する。その測定値によってゲート信号線2とドレイン信号線3との間のショートの有無が検出できるようになる。

【0042】この場合、上述したように、ゲート信号線2側の共通線10Gとドレイン信号線3側の共通線10Dとは互いに電気的に分離されていることから、これらの共通線10G、10Dに全く影響されることなく、ゲート信号線2とドレイン信号線3との間のショート検査を行うことができるようになる。

【0043】(2) 隣接するドレイン信号線2どうしの間のショートの検査

ドレイン信号線3の一方(図中上側)の短絡線3Aと、ドレイン信号線3の他方(図中下側)の短絡線3A'とに検査用プローブを当接し、それらの間に流れる電流を測定する。その測定値によって隣接するドレイン信号線3どうしの間のショートの有無が検出できるようになる。

8

【0044】この場合、上述したように、各ドレイン信号線3には、その一方の側(たとえば図中上側)において非線形抵抗素子Dが形成されている場合、他方の側(たとえば図中下側)において非線形抵抗素子が形成されていない構成となっていることから、隣接するドレイン信号線3どうしは全く電気的に絶縁されるようになっている(換言すれば、隣接するドレイン信号線3は静電保護用回路によってショートしていない構成となっている)。このため、信頼性ある検査を図ることができる。

【0045】(3) 各信号線の断線の検査
検査すべき信号線の共通端子(2Aあるいは3A、3A')とその信号線の共通端子と逆端に置かれた端子(2tあるいは3t、3T)との間に検査用プローブを当接し、それらの間に流れる電流を測定する。

【0046】このようなことから、静電保護用回路を上述したような構成にすることによって、各信号線の断線あるいはショートの検査を効率よくかつ信頼性よく行うことができるようになる。

【0047】このようにして、各信号線の断線あるいはショートが発見されることのないガラス基板1は、図4に示すように、このガラス基板1と異なる他方のガラス基板10とともに液晶表示パネルを構成するようになっている。ここで、他方のガラス基板10は、その液晶側の面において既に各画素領域に共通な透明の共通電極、およびこの液晶表示パネルがカラー表示用のそれならばカラーフィルタ等が形成されたものとなっている。

【0048】ここで、上述したように、ガラス基板1の端子COM上に配置させた導電体12によって、ガラス基板10側の透明な共通電極をガラス基板1側に引き出すことができるようになっている。

【0049】なお、このようにして液晶表示パネルの外囲器が構成され、液晶は前記各ガラス基板1、10の間に、前記シール材5に一部(図示しない)に予め設けられている封入孔から封入封入されるようになっている。液晶封入後において前記シール材5に設けられた封入孔は完全に封止されることはいうまでもない。

【0050】以上説明した実施例から明らかなように、たとえばゲート信号線とドレイン信号線との間にショートが生じているか否かを検査する場合、上述したようにゲート信号線の短絡線に一方のプローブをあてがいドレイン信号線の短絡線に他方のプローブをあてがってそれらの間の電気抵抗を計測するのが通常となる。

【0051】この場合、従来の構成にみられるようにその静電保護用回路における共通線において、ゲート信号線と非線形抵抗素子を介して接続されている共通線と、ドレイン信号線と非線形抵抗素子を介して接続されている共通線とが、互いに接続されている構成となっている場合、ゲート信号線の短絡線から非線形抵抗素子を介して前記共通線へ、さらに非線形素子を介してドレイン信号線の短絡線へと電流が流れてしまうことから、上述し

(6)

特開平10-26750

9

た検査ができないことになる。

【0052】このため、本実施例では、基本的には、ゲート信号線に非線形抵抗素子を介して共通接続される共通線とドレイン信号線に非線形抵抗素子7を介して共通接続される共通線とを電気的に絶縁するようにすることによって、上述した弊害を除去できるようになる。

【0053】また、ゲート信号線あるいはドレイン信号線のそれぞれの断線の検査等の他の全ての検査においても従来どおりに行うことができ、それらのいずれにおいても静電保護用の共通線に全く影響されることなく信頼性ある検査を実行することができるようになる。

【0054】また、非線形抵抗素子および共通線からなる静電保護回路においても、各信号線の断線あるいはショートを検出回路によって、その構成が制約されることがないことから、十分な静電保護対策ができるようになる。

【0055】したがって、本発明の構成によれば、各信号線の断線あるいはショートを検査および薄膜トランジスタの静電防止対策をも充分に行なうことができるようになる。

【0056】また、共通線10G、10G'、10D、10D'は、それぞれダミー線を利用することによって線長を更質的に増大させていることから、帯電された静電気を充分に分散させることのできる構成となっている。したがって、静電保護対策を充分なものとすることができる効果を奏する。

【0057】なお、この場合において、各共通線10G、10G'、10D、10D'の線長を増大させるのにダミー線を用いたが、新たに線を形成し、この線に接続させるようにしてもよいことはいうまでもない。ただし、ダミー線を用いた場合には、ガラス基板1上において余分な領域をわざわざ設ける必要がなくなるという効果を奏する。

【0058】上述した実施例では、ゲート信号線2の一方の側からゲート信号が供給されるとともに、ドレイン信号線3の一方の側からドレイン信号が供給される構成となっているものであるが、これに限定されることはないことはもちろんである。各ドレイン信号線3において、その一つおきのドレイン信号線3には一方の側か

10

ら、また残りのドレイン信号線3には他方の側から、それぞれドレイン信号が供給されるようにしたものにおいても適用できるからである。

【0059】図5は、この場合における概略的な回路図を示したものであり、図1と対応する部分は同一の符号で示している。この場合においても基本的には、y方向に延在しかつ非線形抵抗素子Dを介して各ゲート信号線2に接続される共通線10G(10G')と、x方向に延在しかつ非線形抵抗素子Dを介して偶数番目の各ドレイン信号線に接続される共通線10Dと、x方向に延在しかつ非線形抵抗素子を介して奇数番目の各ドレイン信号線に接続される共通線10D'とは互いに電気的に絶縁された構成となっていることが判る。

【0060】なお、図5に示した構成において、各共通線10G(10G')、10D、10D'のそれぞれにおいて互いに電気的に絶縁された構成を確保しつつ、実質的に線長を長くするようにしてもよいことはもちろんである。

【0061】

20 【発明の効果】以上説明したことから明らかなように、本発明による液晶表示パネルによれば、信号線の断線あるいはショートを検査および薄膜トランジスタの静電防止対策をも充分に行い得るようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示パネルの一方のガラス基板の液晶側の面の構成を示した平面図である。

【図2】本発明による液晶表示パネルの一方のガラス基板の画素領域の詳細を示す等価回路図である。

【図3】図1の部分拡大図である。

30 【図4】本発明による液晶表示パネルの平面を示す一部破断図である。

【図5】本発明による液晶表示パネルの他の実施例を示す等価回路図である。

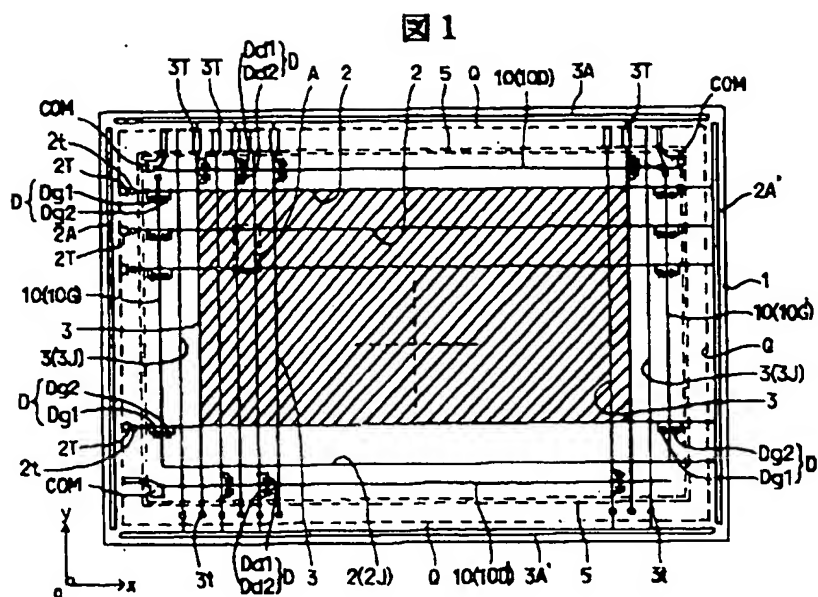
【符号の説明】

1……ガラス基板、2……ゲート信号線、3……ドレイン信号線、2A、2A'、3A、3A'……短絡線、10G、10G'、10D、10D'……共通線、D……非線形抵抗素子。

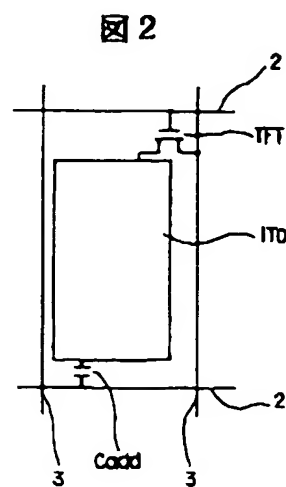
(7)

特開平10-26750

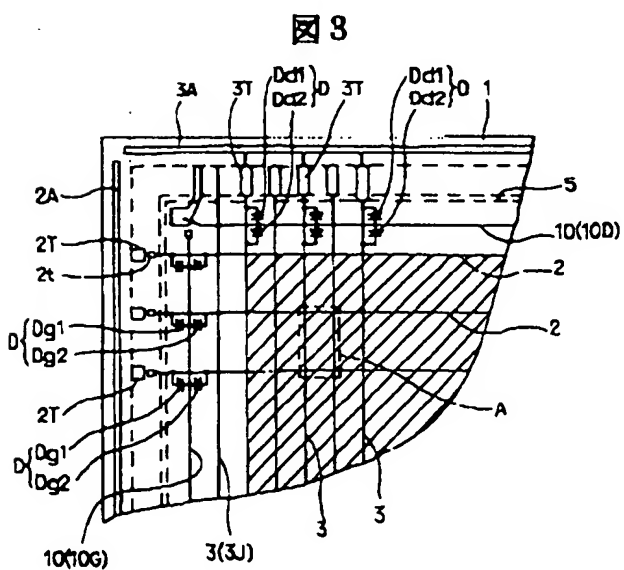
【図1】



【図2】



【図3】

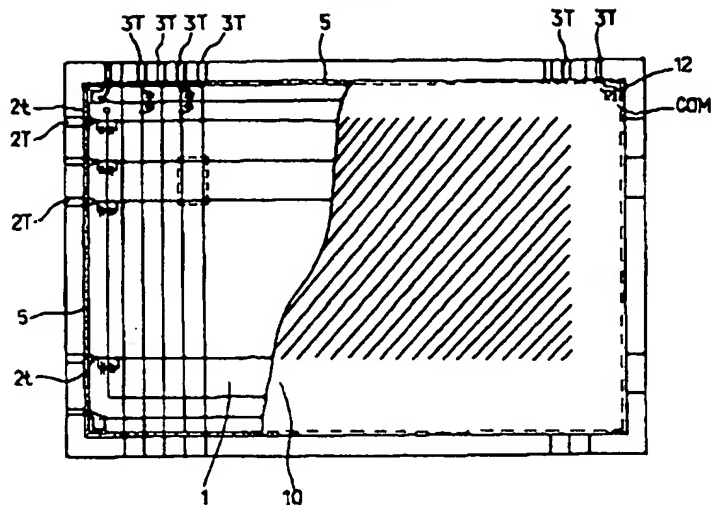


(8)

特開平10-26750

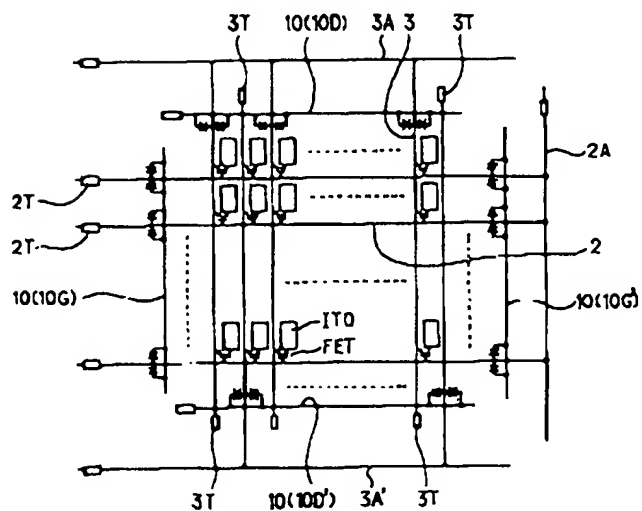
【図4】

図4



【図5】

図5



【手続補正書】

【提出日】平成8年9月19日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

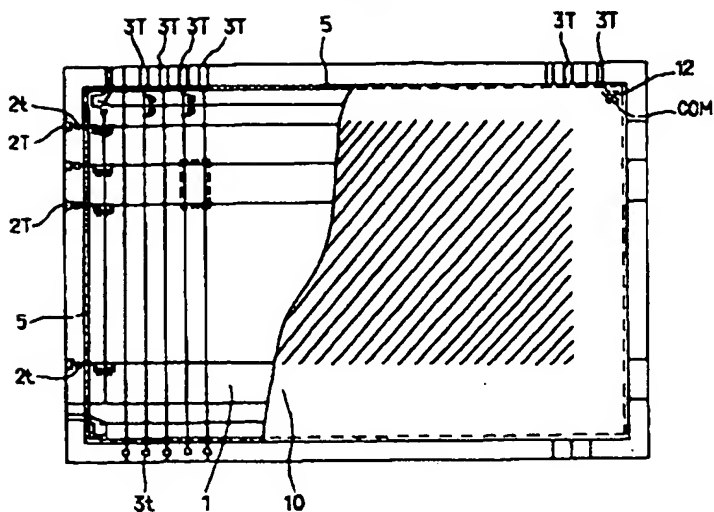
【補正内容】

【図4】

(9)

特開平10-26750

図4



フロントページの続き

(72)発明者 磯出 高志

千葉県茂原市早野3681番地 ロ立デバイス
エンジニアリング株式会社内

(72)発明者 佐藤 努

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 中原 良彦

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 田中 武

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 阿武 恒一

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.